

Πρόσκληση σε Δημόσια Παρουσίαση της Διδακτορικής Διατριβής του

κ. Ματθαϊάκη Παύλου

Την Δευτέρα, 15 Ιουλίου 2013 και ώρα 14:00 στην αίθουσα 1 τηλεδιάσκεψης της Πρυτανείας του Πανεπιστημίου Κρήτης στο Ηράκλειο, θα γίνει η δημόσια παρουσίαση και υποστήριξη της Διδακτορικής Διατριβής του υποψηφίου διδάκτορος του Τμήματος Επιστήμης Υπολογιστών κ. Ματθαϊάκη Παύλου με θέμα:

“Λογική Σύνθεση Παράλληλων Ορισμάτων Ελέγχου Καταστάσεων”

“ Logic Synthesis of Concurrent Control Specifications”

ΠΕΡΙΛΗΨΗ

Ο αριθμός των τρανζίστορ ανά τσιπ αυξάνεται κατά 58% ανά έτος. Την ίδια στιγμή, η παραγωγικότητα των σχεδιαστών τσιπ αυξάνεται κατά 21% ανά έτος. Έτσι, ένας αυξανόμενος αριθμός σχεδιαστών απαιτείται για την παραγωγή ενός τσιπ στον ίδιο χρόνο. Για να γεφυρωθεί το χάσμα παραγωγικότητας το επίπεδο αφαίρεσης κατά την σχεδίαση θα πρέπει να αυξηθεί. Στο παρελθόν, η παραγωγικότητα αυξήθηκε κατά 10 φορές στη δεκαετία του '80, όταν η κύρια πρακτική του σχεδιασμού άλλαξε από τα stick diagrams στην περιγραφή σε επίπεδο πυλών. Αργότερα, κατά τη διάρκεια της δεκαετίας του '90, η παραγωγικότητα αυξήθηκε περαιτέρω κατά 10 φορές με την μετακίνηση του επιπέδου αφαιρετικότητας του σχεδιασμού στις Hardware Description Language (HDL) περιγραφές.

Η μοντελοποίηση σε επίπεδο συμπεριφοράς, τον τελευταίο καιρό, επέκτεινε την παραγωγικότητα περισσότερο από 5x. Στα μοντέλα συμπεριφοράς, ο έλεγχος είναι αποσυνδεδεμένος από το datapath και περιγράφεται με ξεχωριστές δομές γλωσσών περιγραφής υλικού που αντιστοιχούν σε μονολιθικές Finite State Machines (FSMs), αυξάνοντας έτσι, το επίπεδο αφαίρεσης από το Register Transfer Level (RTL) στην FSM. Τα EDA εργαλεία, συνθέτουν και επαληθεύουν μονολιθικές FSMs με αλγορίθμους που εκτελούνται σε αυτό το υψηλότερο επίπεδο αφαίρεσης.

Για παράδειγμα, η ελαχιστοποίηση καταστάσεων η οποία αρχικά γινόταν από τους ίδιους τους μηχανικούς, εκτελείται αυτόματα από τα εργαλεία EDA, βελτιώνοντας την ποιότητα των αποτελεσμάτων, το χρόνο σχεδιασμού και την ικανότητα για επαλήθευση. Παρά το γεγονός ότι μία μονολιθική FSM είναι ένας επαρκώς ισχυρός φορμαλισμός για να περιγράψει τη διαδοχή καταστάσεων, αποτυγχάνει να περιγράψει την παραλληλία και το συγχρονισμό χωρίς την έκρηξη του αριθμού των καταστάσεων. Οι αλληλεπιδραστικές FSMs περιγράφουν τον παραλληλισμό αλλά δεν έχουν την απαιτούμενη εκφραστικότητα για να περιγράψουν το συγχρονισμό. Τα δίκτυα Petri είναι σε θέση να περιγράψουν τόσο την παραλληλία όσο και το συγχρονισμό, ωστόσο στερούνται πολυωνυμικές μεθόδους υλοποίησης.

Σε αυτή την εργασία, ένας νέος φορμαλισμός για αλληλεπιδραστικές FSMs εισάγεται, οι Πολλαπλές Συγχρονισμένες FSMs (MSFSMs). Οι MSFSMs περιγράφουν παράλληλα συστήματα ελέγχου, ενώ επίσης ενεργούν ως ενδιάμεσο μοντέλο για τη σύνθεση υπαρχόντων περιγραφών δικτύων Petri με μεθόδους βασισμένες σε μονολιθικές FSMs ή για την επαλήθευση της σωστής λειτουργίας περιγραφών με FSMs χρησιμοποιώντας μεθόδους σε επίπεδο δικτύων Petri. Οι μετασχηματισμοί δικτύων Petri σε MSFSMs και το αντίστροφο αποδεικνύεται ότι είναι πολυωνυμικές και χρησιμοποιούνται για την ανάπτυξη ροών για τη σύνθεση δικτύων Petri

και την επαλήθευση αλληλεπιδραστικών FSMs. Επιπροσθέτως, καινοτόμοι αποδοτικοί αλγόριθμοι εισάγονται, οι οποίοι λειτουργούν στο επίπεδο των MSFSMs και οι οποίοι βελτιστοποιούν τις περιγραφές ελέγχου χρησιμοποιώντας την επικοινωνία μεταξύ των FSMs.

Πειραματικά αποτελέσματα δείχνουν ότι τα δίκτυα Petri μπορούν πράγματι να μετατραπούν σε συνθέσιμες FSMs μέσω της μετατροπής σε MSFSMs χωρίς να παρουσιάζεται το πρόβλημα της έκρηξης καταστάσεων. Ένα σύνολο παράλληλων περιγραφών μετασχηματίστηκε σε MSFSMs σε λιγότερο από ένα δευτερόλεπτο το καθένα, ενώ τα εργαλεία που δημιουργούν τον πλήρη χώρο καταστάσεων χρειάζονται μέρες μονάχα για την παραγωγή του γράφου καταστάσεων. Το εργαλείο λογικής σύνθεσης που αναπτύχθηκε στην παρούσα εργασία, Expose, προσεγγίζει την ποιότητα των αποτελεσμάτων των εργαλείων τα οποία παράγουν το εκθετικά μεγάλο χώρο καταστάσεων των παράλληλων περιγραφών, ενώ πλησιάζουν το χρόνο εκτέλεσης των εργαλείων που υλοποιούν τις παράλληλες περιγραφές χωρίς να τις βελτιστοποιούν. Παράλληλες περιγραφές που πριν μπορούσαν να υλοποιηθούν με δομικές τεχνικές μπορούν να βελτιστοποιηθούν μέσω του Expose.

Τα αποτελέσματά δείχνουν ότι η MSFSM-based ευριστικές βελτιστοποιήσεις βελτιώνουν δραστικά και προβλέψιμα το εμβαδόν και την απόδοση των υλοποιήσεων, καθώς ωφελούνται από τη συρροή των MSFSMs και του συνολικού χώρου καταστάσεων. Χρησιμοποιώντας τις μεθοδολογίες αυτής της εργασίας, το εμβαδόν και η απόδοση ενός συνόλου παράλληλων περιγραφών βελτιστοποιήθηκε κατά μέσο όρο κατά 80% και 35% αντίστοιχα.

Επόπτης Διδακτορικής Διατριβής: Αναπλ. Καθηγητής Χρήστος Σωτηρίου

ABSTRACT

The number of transistors per chip increases by 58% per year. At the same time, the designer productivity increases by 21% per year. Thus, an increasing number of design and verification engineers is required to tape-out a chip in the same amount of time. In order to close the design productivity gap the abstraction layer should be raised to boost the design productivity more than the above percentage. For instance, the productivity was increased by 10x in 80s when the state of the art design practice changed from stick diagrams to gate level design. Later on, during the 90s, the productivity increased further by 10x by moving to the RTL level design. Behavioral modeling, lately extended the productivity further by 5x.

In behavioral modeling, the control is decoupled from the datapath. It is separately

described by HDL structures which correspond to monolithic FSMs, increasing thus the abstraction layer from RTL to FSMs. The underlying EDA tools extract, synthesize and verify monolithic FSMs with algorithms performing at this higher level of abstraction. For instance, state minimization which was originally handled by the engineers themselves, is automatically performed by the EDA tools increasing the quality of results, the design time and the verifiability.

Although a monolithic FSM is an adequately powerful formalism to describe sequential circuits, it fails to model concurrency without state explosion. Interacting FSM models have so far lacked the formal rigor for expressing the synchronizing interactions between different FSMs. The event based, PTnet model is able to model both concurrency and choice within the same model, however lacks a polynomial time flow to implementation, as current methods of exposing the event state space require a potentially exponential number of states.

In this work, a novel formalism for interacting FSMs is introduced i.e. Multiple, Synchronized FSMs (MSFSMs), a compact Interacting FSMs model, potentially implementable using any existing monolithic FSM implementation method. MSFSMs efficiently describe concurrent control systems whilst also acting as an intermediate representation for synthesizing existing specifications described as PTNets with FSM-based flows or for verifying concurrency related properties for systems described as a FSMs with PTNet-based algorithms. PTNet to MSFSMs and MSFSMs to interacting FSMs transformation algorithms are proved in this work to be tractable. Thus, efficient PTNet synthesis and interacting FSMs verification flows are introduced which exploit MSFSMs and which do not exhibit state explosion. Furthermore, novel efficient algorithms introduced at the MSFSM level optimize the control specifications by exploiting the inter-FSM communication.

Experimental results indicate that PTNets can indeed be transformed to synthesizable FSMs through transformation to MSFSMs without exhibiting state explosion. A large set of concurrent specifications was transformed to MSFSMs in less than one second each, whereas tools generating the full state space needed days of execution time just to generate specification's state graph. The logic synthesis framework developed in this work, Expose, approaches the quality of results of logic synthesis tools which generate the exponentially large state space of the specifications, whilst approaching the execution time of the direct-mapping methodologies. Concurrent specifications which could only be implemented through direct mapping, as the execution time for full state space exploration is prohibitive, can now be synthesized using Expose.

Our results also show that the MSFSM-based heuristic optimization algorithms drastically and predictably improve the implementation metrics of area and performance as they benefit from the confluence between MSFSMs and state space. By assembling a synthesis flow out of heuristic optimizations, an overall area and performance gain of 80% and 35% respectively was obtained.

Supervisor: Associate Professor Christos Sotiriou